

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-104525

(43)Date of publication of application : 10.05.1988

(51)Int.Cl.

H03M 5/12  
H04L 25/49

(21)Application number : 61-250481

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 21.10.1986

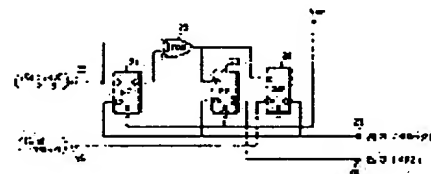
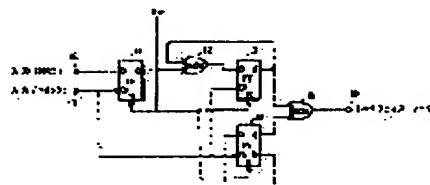
(72)Inventor : SAWAI TAKANORI  
TANAKA JIRO

### (54) DIGITAL MODULATION AND DEMODULATION CIRCUIT

#### (57)Abstract:

**PURPOSE:** To constitute all the circuits with digital elements and to attain a scale-down and a low cost by having a modulation circuit which converts a binary NRZ code into biphase-mark and a demodulation circuit which receives the biphase-mark and demodulates it to the NRZ code.

**CONSTITUTION:** A titled circuit has the modulation circuit which inputs an input clock and the NRZ code synchronizing to the input clock and converts them into the biphase-marks and the demodulation circuit which inputs the biphase-marks and a master clock which has plural folds frequency of the input clock and demodulates them to the NRZ codes. Now, the modulation circuit provides D type flip flops 11, 13 and 14 and exclusive OR circuits 12 and 15, etc., and the demodulation circuit provides D type flip flops 21 and 23, the exclusive OR circuit 22 and plural levels, for example, eleven levels, of shift register 24, etc. Thus a digital circuit with a simple constitution is obtained and 3R functions such as waveform shape, waveform reproduction and timing extraction can be easily obtained.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-104525

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)5月10日

H 03 M 5/12  
H 04 L 25/49

6832-5J  
E-7345-5K

審査請求 有 発明の数 1 (全6頁)

⑮ 発明の名称 デジタル変復調回路

⑯ 特 願 昭61-250481

⑰ 出 願 昭61(1986)10月21日

⑱ 発 明 者 沢 井 孝 典 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

⑲ 発 明 者 田 中 二 郎 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

⑳ 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地

㉑ 代 理 人 弁理士 玉 島 久五郎

明 細 書

1. 発明の名称

デジタル変復調回路

2. 特許請求の範囲

(1) 入力クロックと、該入力クロックに同期したNRZ符号とを入力し、これをバイフエースマークへ変換する変調回路と、

該バイフエースマークと、上記入力クロックの複数倍の周波数をもつマスタクロックとを入力し、これから前記NRZ符号へ復調する復調回路と、を具備することを特徴とするデジタル変復調回路。

(2) 上記の変調回路は、

前記入力クロックと該入力クロックに同期したNRZ符号を入力とし、該NRZ符号をデータに、上記同期した入力クロックの逆相のものを入力クロックとするD形フリップフロップ(11)と、

該D形フリップフロップ(11)のD出力を1方の

入力とし、その出力を他のD形フリップフロップ(13)のデータ端子に入力させ、上記入力クロックを該D形フリップフロップ(13)のクロック端子に入力させ、該フリップフロップ(13)のQ出力を他方の入力とするエクスクルーシブオア回路(12)と、

上記入力クロックを2分周し、2分周出力をQ出力として出力するD形フリップフロップ(14)と、上記エクスクルーシブオア回路(12)の出力をデータ端子に入力する上記D形フリップフロップ(13)と入力クロックの2分周出力を出力するD形フリップフロップ(14)のそれぞれのQ出力を入力とするエクスクルーシブオア回路(15)と

を具備するものであることを特徴とする特許請求の範囲第1項記載のデジタル変復調回路。

(3) 上記の復調回路は、2個のD形フリップフロップ(21, 23)と、エクスクルーシブオア回路(22)と11段シフトレジスタ(24)とを有し、バイフエース・マーク信号と該バイフエース・マーク信号に同期するクロックの16倍の周波数を有するマスタクロックとを入力とし、

バイフェイズ・マーク信号は初段のD形フリップフロップ(21)のデータ端子と上記エクスクルーシブオア回路(22)の一方の入力となり、また上記エクスクルーシブオア回路(22)の他方の入力として上記初段のD形フリップフロップ(21)のQ出力を与え、上記エクスクルーシブオア回路(22)の出力を上記11段シフトレジスタ(24)にデータとして与え、上記マスタクロックを上記11段シフトレジスタ(24)のクロックとして与え、そのQ出力としてタイミングを抽出し、上記エクスクルーシブオア回路(22)の出力より上記タイミングによりNRZの復調出力を取り出すものであることを特徴とする特許請求の範囲第1項記載のデジタル変復調回路。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、デジタル変復調回路、さらに詳しく云えば、2値のNRZ符号をバイフェイズ・マークへ変換する変調回路と該バイフェイズ・マーク

#### 〔問題点を解決するための手段〕

本発明によれば、上記の問題点は、入力クロックと、該入力クロックに同期したNRZ符号とを入力し、これをバイフェイズ・マークへ変換する変調回路と、該バイフェイズ・マークと上記入力クロックの複数倍の周波数をもつマスタクロックとを入力し、これから前記NRZ符号へ復調する復調回路と、を具備するデジタル変復調回路によつて解決される。

#### 〔実施例〕

以下、本発明の実施例を図面について説明する。

第1図は本発明のデジタル変復調回路に使用する変調回路の一例の回路図、第2図は本発明のデジタル変復調回路に使用する復調回路の一例の回路図、第3図は第1図の変調回路および第2図の復調回路の要部における信号波形図である。

第1図の変調回路(バイフェイズ・マーク変換回路)において、11、13、14はそれぞれD形フリップフロップ、12、15はそれぞれエクスクルーシブ

を受信してこれをNRZ符号へ復調する復調回路とを具備するデジタル変復調回路に関する。

#### 〔従来の技術〕

従来の技術としては、バイフェイズ・マークの復調回路にクロック再生用として、伝送のボー・レイトを知るためワンショット・マルチバイブレータを用いる方法が主であつた。このようなワンショット・マルチバイブレータではタイミング設定上、CR等のアナログ回路部品が必要である。

#### 〔発明が解決しようとする問題点〕

従来のこの種の回路は、ワンショットマルチバイブレータを用いて、バイフェイズ・マークを復調していたため、伝送速度を固定する必要がある、またアナログ要素を含むため小形化するにはコスト高になるなどの問題があつた。本発明は、すべての回路をデジタル要素で構成し、小型化低コスト化を図ろうとするものである。

オア回路、16はNRZ信号の入力端子、17はクロック入力端子、18はバイフェイズ・マーク出力端子である。

また、第2図の復調回路において、21、23はそれぞれD形フリップフロップ、22はエクスクルーシブオア回路、24は複数段例えば11段のシフトレジスタ、25はバイフェイズ・マーク入力端子、26は第1図における入力クロックの複数倍の周期、例えば16倍周期のマスタクロック入力端子、27はクロック出力端子、28はNRZ信号の出力端子である。

第1図の変調回路において、フリップフロップ11は入力クロックの逆相で入力NRZをデータとして読み込み、その出力Qはエクスクルーシブオア回路12の一方の入力となる。エクスクルーシブオア回路12の出力はD形フリップフロップ13のデータとなり、該D形フリップフロップ13は、入力クロックで該データを取り込む。フリップフロップ13のQ出力は、エクスクルーシブオア回路12の他方の入力となる。D形フリップフロップ14は入力

クロックと逆相のクロックをクロックとして入力し、その $\bar{Q}$ 出力をデータとする。D形フリップフロップ13のQ出力とD形フリップフロップ14のQ出力とをそれぞれ入力とするエクスクルーシブオア回路15が(の位)入力NRZに対応するバイフエース・マーク信号となる。

第1図の変調回路において、そのフリップフロップ11により入力クロック(SCLK)と入力NRZ(SD)の位相を半クロック分ずらす。フリップフロップ14は入力クロック(SCLK)を2分周する。エクスクルーシブオア回路12とD形フリップフロップ13により、D形フリップフロップ13のQ出力へは、前回と今回のデータの比較結果が出力され、同じであればローが異なればハイが出力される。この結果とフリップフロップ14のQ出力をそれぞれエクスクルーシブオア回路15に入力することで、入力NRZがハイのときには(1, 0)、(0, 1)またローのときには(0, 0)、(1, 1)となるバイフエース・マークに変調される。

ここに、バイフエース・マークとは、周波数変

調(FM)の一種で、信号がハイのとき(1, 0)、(0, 1)、ローのとき(1, 1)、(0, 0)を対応させることで、ハイが2f、ローがfになる変調方式である。

端子25から入力するバイフエース・マークとフリップフロップ21のQ出力とをエクスクルーシブオア回路22で比較し、同じであればフリップフロップ23の $\bar{Q}$ 出力はハイとなり、逆に異なればローとなる。11段シフトレジスタ24はタイミング抽出を行ない、最小ビットの3/2倍のデレイをつくり、エクスクルーシブオア回路22で比較するタイミングを決める働きをする。

なお、第1図および第2図の回路において、原則として、各フリップフロップは、そのR端子を $V_{cc}$ に固定することで、クロックの立ち上り(インエーブル・アクティブの場合は立ち下り)でデータをQ出力へ送り出す( $\bar{Q}$ 出力には逆相の信号を出す)より利用している。

第3図は、第1図の変調回路および第2図の復調回路とを、それぞれ端子18および25を接続することにより結合した場合の要部における信号波形図である。

図において、aは入力端子16に入力するデータ(NRZ)の、bは入力端子17に入力するクロック

の、cはフリップフロップ13のQ出力の、dはフリップフロップ14のQ出力の、eはエクスクルーシブオア回路15の出力すなわち出力端子18の出力の、それぞれにおける信号波形である。eはまた第1図の変調回路によつて上記のようにして得られたバイフエース・マーク信号の波形である。

この波形eの信号は、第2図の入力端子25に入力する信号fの波形として再現して示す。なおgはフリップフロップ21のQ出力の、hはエクスクルーシブオア回路22の出力の、iはフリップフロップ23の $\bar{Q}$ 出力すなわち出力端子28よりの出力の、それぞれの信号波形を示すものである。上記の波形iは、第1図の入力端子18に入力する入力信号波形(NRZ)と一致する。

第2図の受信回路において、上記のように入力

第4図は、本発明によるデジタル変復調回路を中心として光リンク、デジタルPLL回路と組合せてデジタル光リンクを構成した一例のブロック図である。

図において、16, 17, 18および25, 27, 28等の数字は、第1図および第2図と同じものを示し、31は

第1図のバイフェース・マーク変調回路を、32は第2図のバイフェース・マーク復調回路を、34はデジタルPLLを、35はD形フリップフロップを示す。

入力端子16から入力するNRZ信号は端子17から入力するクロックによつて、前述の通り、バイフェース・マーク変調回路31においてバイフェース・マークに変換されて出力端子18より光リンク38に入力する。このバイフェース・マーク信号は光信号に変換されて、さらに光リンク39を経て原信号(バイフェース・マーク信号)に復元されて入力端子25に入力し、バイフェース・マーク復調回路32において、原信号(NRZ)に復元して出力端子28から出力させるとともにバイフェース・マークは自己同期形の符号であるため、復調と同時にクロック成分を抽出でき、このクロックを出力端子27から出力する。

この抽出クロックを復調回路32で用いたサンプリングクロックを用いて動作するDPLL34を通すことでジッタを取り除き、その出力クロックをD

形フリップフロップ35のクロック端子に入力させ、端子28よりの出力データをデータ端子に入力させることにより再生データのジッタを落すことができるものである。

NRZ信号を変調回路を通してバイフェース・マーク信号に変換することにより光リンクでは信号の直流成分がなくなり(デューティ比が50%)回路構成が簡単となる。

第4図の構成では、変復調回路もD-PLLも論理ゲートを用いて構成できるので、容易に集積回路化することができ、従来のモデムの機能であつたタイミング抽出、ジッタ抑制等の働きを集積回路ひとつを付加することでモジュール内に取り込むことができ、高付加価値化できる。

#### [ 発明の効果 ]

以上説明したように、本発明による変復調回路は簡単な構成のデジタル回路であるから、光通信などの分野で、特に多段伝送が要求されるLANやシーケンサなどの分野ではPLL回路と合せ用い

ることにより3R機能を容易に実現できる効果がある。

ここに、3R機能とは、データ伝送の際の

- ① 波形状形 (Reshaping)
- ② 波形再生 (Regenerating)
- ③ タイミング抽出 (Retiming)

を言う。従来、①および②の機能はすべてのモジュールが持っているものであるが、タイミング抽出に自己同期型の符号(符号化の際にクロック成分をデータに含ませる)を用いることで可能となる。

#### 4. 図面の簡単な説明

第1図は本発明のデジタル変復調回路に使用する変調回路の回路図、

第2図は本発明のデジタル変復調回路に使用する復調回路の回路図、

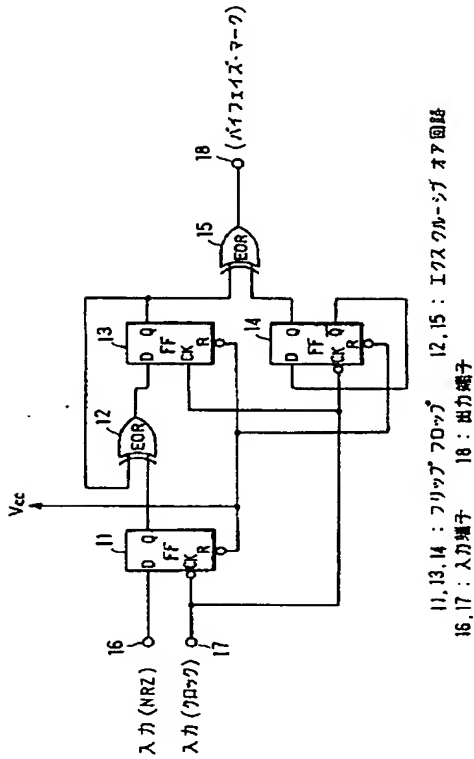
第3図は第1図の変調回路および第2図の復調回路の要部における信号波形図、

第4図は本発明デジタル変復調回路により光

リンクを構成した例のブロック図である。

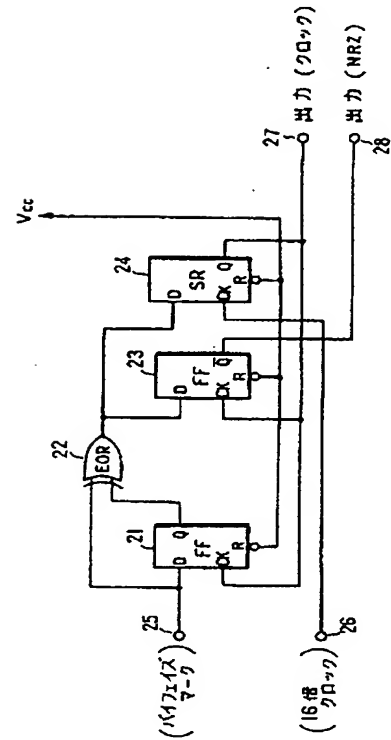
11, 12, 13, 14, 21, 23, 35 … フリップフロップ  
12, 15, 22 … エクスクルーシブ・オア回路  
34 … D-PLL

特許出願人 住友電気工業株式会社  
代理人 弁理士 玉 島 久 五 郎



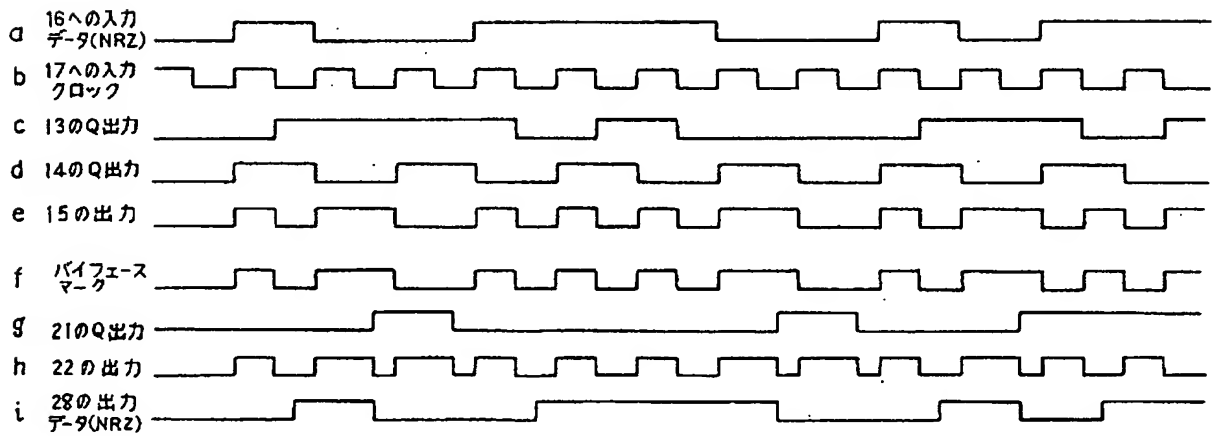
本発明のデジタル遅延回路に使用する遅延回路の回路図

第 1 図



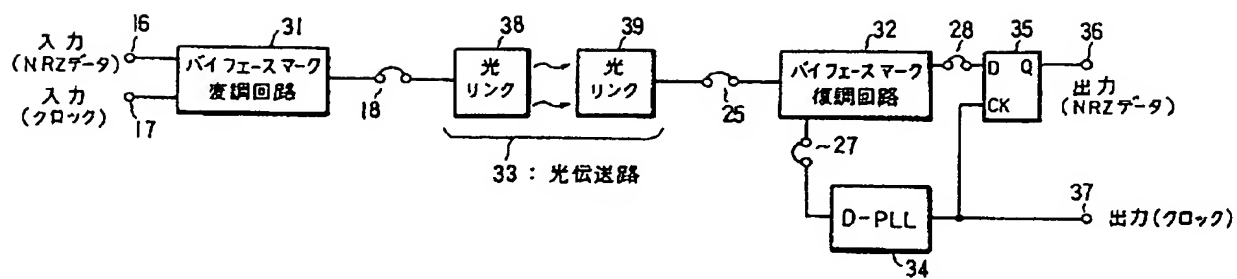
本発明のデジタル遅延回路に使用する遅延回路の回路図

第 2 図



第1図の遅延回路および第2図の遅延回路の要部における信号波形図

第 3 図



本発明デジタル変復調回路により光リンクを構成した例のブロック図

第 4 図